

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshinori MATSUBARA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE TEST METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

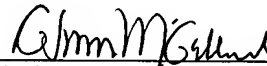
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-114568	April 18, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月18日

出 願 番 号

Application Number:

特願2003-114568

[ST.10/C]:

[JP2003-114568]

出 願 人

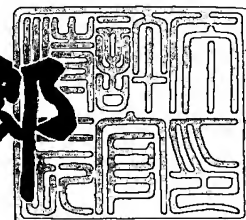
Applicant(s):

株式会社東芝

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035095

【書類名】 特許願

【整理番号】 A000202768

【提出日】 平成15年 4月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置、半導体装置の製造方法及び半導体装置のテスト方法

【請求項の数】 26

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 松原 義徳

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の製造方法及び半導体装置のテスト方法

【特許請求の範囲】

【請求項 1】 第 1 の層と、
前記第 1 の層内に設けられた複数の第 1 のテスト素子と、
前記第 1 の層に張り合わされた前記第 1 の層とは異なる第 2 の層と、
前記第 2 の層内に設けられ、前記第 1 のテスト素子に電氣的に接続された複数のパッドと

を具備することを特徴とする半導体装置。

【請求項 2】 前記パッド上にそれぞれ設けられた複数のバンプと、
前記バンプを介して前記第 2 の層と張り合わされた前記第 1 及び第 2 の層と異なる第 3 の層と、

前記第 3 の層に設けられ、前記第 1 のテスト素子に電氣的に接続されたはんだボールと

をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 のテスト素子は全て同種類の素子であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 1 のテスト素子は、第 1 の列に一行に配置されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】 前記第 1 の層内に設けられ、前記パッドと電氣的に絶縁された複数の第 2 のテスト素子と

をさらに具備することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 6】 前記第 2 のテスト素子は全て同種類の素子であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記第 2 のテスト素子は、前記第 1 のテスト素子と異なる種類の素子であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】 前記第 1 のテスト素子は、第 1 の列に一行に配置されており、前記第 2 のテスト素子は、第 1 の列と異なる第 2 の列に一行に配置されている

ことを特徴とする請求項 5 に記載の半導体装置。

【請求項 9】 前記第 2 のテスト素子は、前記パッドの下方における前記第 1 の層内に設けられていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 10】 前記第 1 の層内に設けられ、前記第 1 のテスト素子に接続された第 1 の接続部材と、

前記第 2 の層内に設けられ、前記パッド及び前記第 1 の接続部材に接続された第 2 の接続部材と

をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】 前記第 1 の層内に設けられ、前記第 1 のテスト素子に接続された第 1 の接続部材と、

前記第 2 の層内に設けられ、前記パッド及び前記第 1 の接続部材に接続された第 2 の接続部材と、

前記第 3 の層内に設けられ、前記バンプ及び前記はんだボールに接続された第 3 の接続部材と

をさらに具備することを特徴とする請求項 2 に記載の半導体装置。

【請求項 12】 複数の第 1 のテスト素子を備えた第 1 の層と、複数のパッドを備えた前記第 1 の層と異なる第 2 の層とをそれぞれ形成する工程と、

前記第 1 及び第 2 の層を張り合わせ、前記第 1 のテスト素子を前記パッドと電気的に接続する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 13】 前記第 2 の層の形成の際、前記パッド上に複数のバンプをそれぞれ形成し、

前記第 1 及び第 2 の層の形成とは別に、はんだボールを備えた第 3 の層を形成し、

前記第 1 及び第 2 の層を張り合わせた後、前記第 2 及び第 3 の層を張り合わせ、前記第 1 のテスト素子を前記はんだボールと前記バンプを介して電気的に接続することを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 前記第 1 のテスト素子は全て同種類の素子であることを特徴とする請求項 12 又は 13 に記載の半導体装置の製造方法。

【請求項 1 5】 前記第 1 のテスト素子は、第 1 の列に一行に形成することを特徴とする請求項 1 2 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 6】 前記第 1 の層の形成の際、前記第 1 の層内に前記パッドと電氣的に絶縁された複数の第 2 のテスト素子を形成することを特徴とする請求項 1 2 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 7】 前記第 2 のテスト素子は全て同種類の素子であることを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 8】 前記第 2 のテスト素子は、前記第 1 のテスト素子と異なる種類の素子であることを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 9】 前記第 1 のテスト素子は、第 1 の列に一行に形成し、前記第 2 のテスト素子は、第 1 の列と異なる第 2 の列に一行に形成することを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 2 0】 前記第 2 のテスト素子は、前記パッドの下方における前記第 1 の層内に形成することを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 2 1】 前記第 1 の層の形成の際、前記第 1 の層内に前記第 1 のテスト素子に接続する第 1 の接続部材を形成し、

前記第 2 の層の形成の際、前記第 2 の層内に前記パッド及び前記第 1 の接続部材に接続する第 2 の接続部材を形成することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 2 2】 前記第 1 の層の形成の際、前記第 1 の層内に前記第 1 のテスト素子に接続する第 1 の接続部材を形成し、

前記第 2 の層の形成の際、前記第 2 の層内に前記パッド及び前記第 1 の接続部材に接続する第 2 の接続部材を形成し、

前記第 3 の層の形成の際、前記第 3 の層内に前記バンプ及び前記はんだボールに接続する第 3 の接続部材を形成することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 2 3】 複数のテスト素子を備えた第 1 の層と、複数のパッドを備えた前記第 1 の層と異なる第 2 の層とをそれぞれ形成する工程と、

前記第 1 及び第 2 の層を張り合わせ、前記テスト素子の少なくとも一部の素子を前記パッドと電氣的に接続する工程と、

前記テスト素子の少なくとも一部の素子の性能を評価する工程とを具備することを特徴とする半導体装置のテスト方法。

【請求項 2 4】 前記第 2 の層の形成の際、前記パッド上に複数のバンプをそれぞれ形成し、

前記第 1 及び第 2 の層の形成とは別に、はんだボールを備えた第 3 の層を形成し、

前記第 1 及び第 2 の層を張り合わせた後、前記第 2 及び第 3 の層を張り合わせ、前記テスト素子の少なくとも一部の素子を前記はんだボールに前記バンプを介して電氣的に接続することを特徴とする請求項 2 3 に記載の半導体装置のテスト方法。

【請求項 2 5】 前記テスト素子は、同じ種類の素子毎に一行に形成することを特徴とする請求項 2 3 又は 2 4 に記載の半導体装置のテスト方法。

【請求項 2 6】 前記テスト素子は、前記同じ種類の素子毎に評価することを特徴とする請求項 2 5 に記載の半導体装置のテスト方法。

【発明の詳細な説明】

【発明の属する技術分野】

本発明は、T E G (Test Element Group) を有する半導体装置、半導体装置の製造方法及び半導体装置のテスト方法に関する。

【従来の技術】

従来から、半導体装置の信頼性評価などを容易にするために、半導体装置を構成する要素（配線、トランジスタ、キャパシタ、抵抗など）をチップ上に搭載した T E G (Test Element Group) チップが用いられている。

従来の T E G チップ 1 0 では、図 1 3 及び図 1 4 に示すように、一つのシリコン基板 7 0 上にテストサイト（テストエリア）部 2 0 とプローブパッド部 3 0 とが形成されている。

ここで、テストサイト部 2 0 とは、例えばトランジスタやキャパシタなどのテスト素子 2 2 が存在する領域を示し、プローブパッド部 3 0 とは、プローブを立

てるためのプローブパッドが存在する領域を示している。

従来のTEGチップ10では、例えば、3個のテスト素子22からなるテストサイト部20と16個のプローブパッド37とで、一つのTEG11が構成されている。具体的には、TEG11の中央に3個のテスト素子22が配置され、このテスト素子22の両側にそれぞれ8個のプローブパッド37が配置されている。ここで、プローブパッド37は、絶縁膜71, 72, 73, 74, 75, 76内の配線及びコンタクトを介して、テスト素子22に電氣的にそれぞれ接続されている。

【発明が解決しようとする課題】

上記の状況の中、半導体集積回路は集積度の向上が年々進んでおり、テストサイトで評価する半導体装置のサイズは縮小しつつある。しかし、テストサイトを電氣的に評価するためのプローブパッドは、半導体装置の縮小の傾向に乖離して大きいままである。

例えば0.11 μ m世代では、プローブパッドのサイズは80 μ m \sim 100 μ m \square であり、このプローブパッドの専有面積と同程度の面積でテストサイトがレイアウトされている。このため、TEGのレイアウト上、TEGチップの最大60%の面積を測定用のプローブパッドが占有してしまっている。尚、ここでのプローブパッドは、プローブのためだけに配置してあるものを指す。

一方、従来では、プローブパッドを複数のテスト素子で共有することができないことと、共通のプローブカードでテストサイトを評価することとから、プローブパッドの面積を小さくすることは困難である。

以上のように、従来技術では、TEGチップにおけるプローブパッドの専有面積が大きく、かつ、このプローブパッドの面積を小さくすることが困難であった。このため、テストサイトを形成できる領域が少なく、プローブパッドの面積によって、テストサイトの領域が制限されてしまっていた。

本発明は上記課題を解決するためになされたものであり、その目的とするところは、テスト素子を配置する領域の制限を抑制する半導体装置、半導体装置の製造方法及び半導体装置のテスト方法を提供することにある。

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

本発明の第 1 の視点による半導体装置は、第 1 の層と、前記第 1 の層内に設けられた複数の第 1 のテスト素子と、前記第 1 の層に張り合わされた前記第 1 の層とは異なる第 2 の層と、前記第 2 の層内に設けられ、前記第 1 のテスト素子に電氣的に接続された複数のパッドとを具備する。

本発明の第 2 の視点による半導体装置の製造方法は、複数の第 1 のテスト素子を備えた第 1 の層と、複数のパッドを備えた前記第 1 の層と異なる第 2 の層とをそれぞれ形成する工程と、前記第 1 及び第 2 の層を張り合わせ、前記第 1 のテスト素子を前記パッドと電氣的に接続する工程とを具備する。

本発明の第 3 の視点による半導体装置のテスト方法は、複数のテスト素子を備えた第 1 の層と、複数のパッドを備えた前記第 1 の層と異なる第 2 の層とをそれぞれ形成する工程と、前記第 1 及び第 2 の層を張り合わせ、前記テスト素子の少なくとも一部の素子を前記パッドと電氣的に接続する工程と、前記テスト素子の少なくとも一部の素子の性能を評価する工程とを具備する。

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

〔第 1 の実施形態〕

第 1 の実施形態は、テストサイト部とプローブパッド部とで T E G (Test Element Group) チップが構成され、この T E G チップはテストサイト部とプローブパッド部とを張り合わせることで形成されている。

図 1 (a) 及び図 1 (b) を用いて、本発明の第 1 の実施形態に係る T E G チップについて、以下に説明する。

図 1 (a) 及び図 1 (b) に示すように、第 1 の実施形態に係る T E G チップ 1 0 は、テストサイト (テストエリア) 部 2 0 及びプローブパッド部 3 0 を別々に形成した後、テストサイト部 2 0 とプローブパッド部 3 0 とを張り合わせて、一体化させている。ここで、テストサイト部 2 0 とは、テスト素子 2 2 が存在する領域を示し、プローブパッド部 3 0 とは、プローブを立てるためのプローブパッド 3 7 が存在する領域を示している。

TEGチップ10の一つのTEG11は、例えば、3個のテスト素子22からなるテストサイト部20と16個のプローブパッド37とで構成されている。具体的には、TEG11の中央に3個のテスト素子22が配置され、このテスト素子22の両側にそれぞれ8個のプローブパッド37が配置されている。そして、プローブパッド37は、絶縁膜25、31、32内の配線24、35及びコンタクト23、34、36を介して、テスト素子22aに電氣的にそれぞれ接続されている。

ここで、テストサイト部20内のテスト素子22は、プローブパッド37に電氣的に接続された素子22aと、プローブパッド37に電氣的に接続されていない素子22bとがある。このように、第1の実施形態では、従来技術と異なり、プローブパッド37の下方におけるシリコン基板21上には、プローブパッド37に電氣的に接続されないテスト素子22bが存在している。従って、TEGチップ10の平面図では、テスト素子22とプローブパッド37とが重なり合う部分が存在している。

図2(a)及び図2(b)を用いて、本発明の第1の実施形態に係るテストサイト部について、以下に説明する。

図2(a)及び図2(b)に示すように、第1の実施形態に係るテストサイト部20は、シリコン基板21上の全面にテスト素子22が形成されている。そして、絶縁膜25内には、テスト素子22に接続するコンタクト23が形成され、このコンタクト23に接続する配線(パッド)24が形成されている。この配線24の上面は絶縁膜25の外部に露出されており、プローブパッド部30と電氣的に接続するための接続部分となる。

テストサイト部20の複数のテスト素子22は、所定間隔(テストサイトピッチP1)だけ離間して、TEGチップ10の全体に配置されている。ここで、テストサイトピッチP1は、各デバイス世代にて標準とするパッドセットを基準として設定されている。

また、テスト素子22とは、例えば、SRAM、DRAM、FeRAM、MRAMのようなメモリ素子、キャパシタ、抵抗、配線などである。

また、テスト素子22の表面形状は、図示するような短冊状であってもよいし

、例えば正方形や円など種々の形状に変更することは可能である。

図 3 (a) 及び図 3 (b) を用いて、本発明の第 1 の実施形態に係るプローブパッド部について、以下に説明する。

図 3 (a) 及び図 3 (b) に示すように、第 1 の実施形態に係るプローブパッド部 3 0 は、プローブパッド 3 7 と多層配線層とで構成される。具体的には、絶縁膜 3 1、3 2 内にコンタクト 3 4、配線 3 6 及びプローブパッド 3 7 が形成され、プローブパッド 3 7 の上面の一部が露出するように開口部 3 8 を有する絶縁膜 (パッシベーション膜) 3 3 が形成されている。ここで、コンタクト 3 4 の下面は絶縁膜 3 1 の外部に露出されており、テストサイト部 2 0 と電氣的に接続するための接続部分となる。

プローブパッド部 3 0 の複数のプローブパッド 3 7 は、行方向 (紙面の横方向) に所定間隔 (パッドピッチ P 2) だけ離間し、かつ、列方向 (紙面の縦方向) に所定間隔 (パッドピッチ P 3) だけ離間して、T E G チップ 1 0 の全体に配置されている。ここで、行方向におけるパッドピッチ P 2 は、各デバイス世代にて標準とするパッドセットを基準として設定されている。また、列方向におけるパッドピッチ P 3 は、プローブピンの最小ピッチを基準として、設定されている。

上記本発明の第 1 の実施形態に係る T E G チップの製造方法について、以下に説明する。

まず、テストサイト部 2 0 及びプローブパッド部 3 0 が個別にそれぞれ形成される。

テストサイト部 2 0 は、例えば次のように形成される。まず、シリコン基板 2 1 上に例えば S R A M や D R A M のようなテスト素子 2 2 が形成され、このテスト素子 2 2 が絶縁膜 2 5 で埋め込まれる。そして、絶縁膜 2 5 内に開口部が形成され、この開口部を金属膜で埋め込むことで、コンタクト 2 3 が形成される。さらに、コンタクト 2 3 上に金属膜からなる配線 2 4 が形成される。

プローブパッド部 3 0 は、例えば次のように形成される。まず、絶縁膜 3 1 内に開口部が形成され、この開口部を金属膜で埋め込むことで、コンタクト 3 4 が形成される。次に、コンタクト 3 4 に接続する配線 3 5 が形成される。そして、配線 3 5 を埋め込むように絶縁膜 3 2 が形成される。次に、絶縁膜 3 2 内に開口

部が形成され、この開口部を金属膜で埋め込むことで、コンタクト 3 6 が形成される。次に、コンタクト 3 6 に接続するプローブパッド 3 7 が形成される。そして、プローブパッド 3 7 上に絶縁膜 3 3 が形成された後、この絶縁膜 3 3 内に開口部 3 8 が形成される。これにより、プローブパッド 3 7 の上面の一部が外部に露出される。

上記のように、テストサイト部 2 0 及びプローブパッド部 3 0 が個別にそれぞれ形成された後、テストサイト部 2 0 とプローブパッド部 3 0 とが張り合わされる。

具体的には、まず、テストサイト部 2 0 のシリコン基板 2 1 の反対側面と、プローブパッド部 3 0 のプローブパッド 3 7 の反対側面とを向かい合わせる。そして、テストサイト部 2 0 の配線 2 4 と、プローブパッド部 3 0 のコンタクト 3 4 とが接するように張り合わされる。その結果、テスト素子 2 2 の一部がプローブパッド 3 7 に電氣的に接続され、T E G チップ 1 0 が完成する。

上記本発明の第 1 の実施形態に係る T E G チップのテスト方法について、以下に説明する。

まず、テストサイト部 2 0 及びプローブパッド部 3 0 が個別にそれぞれ形成される。

次に、テストサイト部 2 0 とプローブパッド部 3 0 とが張り合わされ、テスト素子 2 2 の一部とプローブパッド 3 7 が電氣的に接続される。

次に、プローブパッド部 3 0 のプローブパッド 3 7 にプローブ針をあてることにより、テスト素子 2 2 の性能が評価される。

このようなテスト方法において、テストサイト部 2 0 には複数のテスト素子 2 2 が形成されているが、評価対象となるテスト素子 2 2 はプローブパッド 3 7 に電氣的に接続しているもののみである。つまり、図 1 (b) の場合、プローブパッド 3 7 に電氣的に接続しているテスト素子 2 2 a のテスト評価は可能であるが、プローブパッド 3 7 に電氣的に接続していないテスト素子 2 2 b のテスト評価は不可能である。

従って、第 1 の実施形態では、T E G チップ 1 0 に設けられた複数のテスト素子 2 2 のうち、テスト評価を行いたいテスト素子 2 2 のみを選んでテスト評価す

ることができる。つまり、例えば次のような方法で、評価対象を選定してテスト評価を行うことができる。

まず、図4に示すように、複数のテスト素子22を素子の種類毎に分ける。そして、列毎に異なる種類のテスト素子が配置するように、同種類のテスト素子22を一行に配置する。

ここで、例えば、第1のグループ12a, 12b, 12c, 12dにはSRAMからなるテスト素子22を配置し、第2のグループ13a, 13b, 13c, 13dにはDRAMからなるテスト素子22を配置し、第3のグループ14a, 14b, 14c, 14dにはMRAMからなるテスト素子22を配置したとする。

この例において、図4のようにテストサイト部20とプローブパッド部30とを張り合わせた場合は、第1のグループ12a, 12b, 12c, 12dのSRAMからなるテスト素子22のみを評価することができる。

尚、図4のプローブパッド部30を紙面の右方向にずらして、第2のグループ13a, 13b, 13c, 13dのテスト素子22をプローブパッド37と電氣的に接続した場合は、第2のグループ13a, 13b, 13c, 13dのDRAMからなるテスト素子22のみを評価することもできる。同様に、図4のプローブパッド部30を紙面の左方向にずらして、第3のグループ14a, 14b, 14c, 14dのテスト素子22をプローブパッド37と電氣的に接続した場合は、第3のグループ14a, 14b, 14c, 14dのMRAMからなるテスト素子22のみを評価することもできる。

上記第1の実施形態によれば、テストサイト部20とプローブパッド部30とを別々に作成して張り合わせている。このため、プローブパッド37の占有面積に関係なく、シリコン基板21上にテスト素子22を形成することができる。従って、プローブパッド37の面積によるテスト素子22の領域の制限を排除することができる。このため、次のような効果を得ることができる。

従来技術では、テスト素子22がピッチP1'で配置されていたのに対し、第1の実施形態では、テスト素子22をP1' / NのピッチP1で配置することが可能である。従って、シリコン基板21上の全面に、最大で従来のN倍のテスト

素子 2 2 を配置することができる。

例えば、従来技術によるテスト素子 2 2 がピッチ $P 1'$ で配置されていた場合（図 5（a）参照）、第 1 の実施形態では、ピッチ $P 1'$ の $1/3$ のピッチ $P 1$ でテスト素子 2 2 を配置することができる（図 5（b）参照）。従って、この場合、シリコン基板 2 1 上の全面に、最大で従来の 3 倍のテスト素子 2 2 を配置することができることになる。

さらには、このようにテスト素子 2 2 の数を増加できることで、評価対象となるテスト素子 2 2 の種類を増やすことができる。このことは、多種多様なデバイスを同一基板上に形成するシステム L S I では、同一面積で多種、多数のテスト素子を入れられることになるため、非常に有効である。

また、上記第 1 の実施形態によれば、テスト素子 2 2 を種類毎に分けて同種類のテスト素子 2 2 を一列に配置し、テストサイト部 2 0 とプローブパッド部 3 0 との張り合わせ箇所を調整することで、複数のテスト素子 2 2 のうち評価したい素子を選択することが可能である。

〔第 2 の実施形態〕

第 2 の実施形態は、エリアバンプを用いた場合の例である。そして、テストサイト部と配線層部とチップキャリア部とで T E G チップが構成され、この T E G チップはテストサイト部と配線層部とチップキャリア部とを張り合わせることで形成されている。

尚、第 2 の実施形態では、上記第 1 の実施形態と同様の部分については省略又は簡略化し、主に異なる部分について説明する。

図 6（a）及び図 6（b）を用いて、本発明の第 2 の実施形態に係る T E G チップについて、以下に説明する。尚、図 6（a）において、はんだボールは図示せずに省略している。

図 6（a）及び図 6（b）に示すように、第 2 の実施形態に係る T E G チップ 1 0 は、テストサイト部 2 0、配線層部 4 0 及びチップキャリア部 5 0 を別々に形成した後、テストサイト部 2 0 と配線層部 4 0 とチップキャリア部 5 0 とを張り合わせて、一体化させている。

ここで、テストサイト部 2 0 内の複数のテスト素子 2 2 は、シリコン基板 2 1

上に高密度で配置されている。そして、複数のテスト素子 2 2 は、配線 2 4, 4 5, 4 9, 5 6, 5 8, 6 0、コンタクト 2 3, 4 4, 4 6, 5 7, 5 9 及びバンプ 4 7 を介してはんだボール 6 1 に電氣的に接続された素子 2 2 a と、はんだボール 6 1 に電氣的に接続されていない素子 2 2 b とがある。このように、第 2 の実施形態では、バンプ 4 7 の下方におけるシリコン基板 2 1 上には、はんだボール 6 1 に電氣的に接続されないテスト素子 2 2 b が存在している。従って、T E G チップ 1 0 の平面図では、テスト素子 2 2 とバンプ 4 7 とが重なり合う部分が存在している。

図 7 (a) 及び図 7 (b) は、本発明の第 2 の実施形態に係るテストサイト部を示すが、上記第 1 の実施形態と同じ構造であるため、説明は省略する。

図 8 (a) 及び図 8 (b) を用いて、本発明の第 2 の実施形態に係る配線層部について、以下に説明する。

図 8 (a) 及び図 8 (b) に示すように、第 2 の実施形態に係る配線層部 4 0 は、バンプ 4 7 と多層配線層とで構成される。具体的には、絶縁膜 4 1, 4 2 内にコンタクト 4 4, 4 6 及び配線 4 5, 4 9 が形成され、配線 (パッド) 4 9 の上面の一部が露出するように開口部 4 8 を有する絶縁膜 4 3 が形成されている。そして、配線 4 9 の露出された表面上にバンプ 4 7 が形成されている。ここで、コンタクト 4 4 の下面は絶縁膜 4 1 の外部に露出されており、テストサイト部 2 0 と電氣的に接続するための接続部分となる。また、バンプ 4 7 は、チップキャリア部 5 0 と電氣的に接続するための接続部分となる。

配線層部 4 0 の複数のバンプ 4 7 及び配線 4 9 は、例えば、第 1 の実施形態と同様、行方向に所定間隔 (パッドピッチ P 2) だけ離間し、かつ、列方向に所定間隔 (パッドピッチ P 3) だけ離間して、T E G チップ 1 0 の全体に配置されている。

図 9 (a) 及び図 9 (b) を用いて、本発明の第 2 の実施形態に係るチップキャリア部について、以下に説明する。

図 9 (a) 及び図 9 (b) に示すように、第 2 の実施形態に係るチップキャリア部 5 0 は、はんだボール 6 1 と多層配線層とで構成される。具体的には、絶縁膜 5 1, 5 2, 5 3, 5 4, 5 5 内にコンタクト 5 7, 5 9 及び配線 5 6, 5 8

、60が形成され、配線60上にはんだボール61が形成されている。ここで、配線56の下面は絶縁膜51の外部に露出されており、配線層部40と電氣的に接続するための接続部分となる。

上記本発明の第2の実施形態に係るTEGチップの製造方法について、以下に説明する。

まず、テストサイト部20、配線層部40及びチップキャリア部50が個別にそれぞれ形成される。

テストサイト部20は、例えば、上記第1の実施形態と同様の方法に形成される。

配線層部40は、例えば次のように形成される。まず、絶縁膜41内に開口部が形成され、この開口部を金属膜で埋め込むことで、コンタクト44が形成される。次に、コンタクト44に接続する配線45が形成される。そして、配線45を埋め込むように絶縁膜42が形成される。次に、絶縁膜42内に開口部が形成され、この開口部を金属膜で埋め込むことで、コンタクト46及び配線49が形成される。次に、配線49上に絶縁膜43が形成された後、この絶縁膜43内に開口部48が形成される。そして、この開口部48内にバンプ47が形成される。

チップキャリア部50は、例えば次のように形成される。まず、絶縁膜51内に配線56が形成され、この配線56上に絶縁膜52が形成される。この絶縁膜52内に開口部が形成され、この開口部を金属膜で埋め込むことで、コンタクト57が形成される。次に、コンタクト57に接続する配線58が形成される。そして、配線58を埋め込むように絶縁膜53が形成される。次に、絶縁膜53上に絶縁膜54が形成され、この絶縁膜54内に開口部が形成され、この開口部を金属膜で埋め込むことで、コンタクト59が形成される。次に、コンタクト59に接続する配線60が形成される。そして、配線60を埋め込むように絶縁膜55が形成される。次に、配線60上にはんだボール61が形成される。

上記のように、テストサイト部20、配線層部40及びチップキャリア部50が個別にそれぞれ形成された後、図10(a)に示すように、テストサイト部20と配線層部40とが張り合わされる。

具体的には、まず、テストサイト部 2 0 のシリコン基板 2 1 の反対側面と、配線層部 4 0 のバンプ 4 7 の反対側面とを向かい合わせる。そして、テストサイト部 2 0 のパッド 2 4 と、配線層部 4 0 のコンタクト 4 4 とが接するように張り合わされる。その結果、テスト素子 2 2 の一部がバンプ 4 7 に電氣的に接続される。

次に、図 1 0 (b) に示すように、テストサイト部 2 0 及び配線層部 4 0 とチップキャリア部 5 0 とが張り合わされる。

具体的には、まず、配線層部 4 0 のバンプ 4 7 の反対側面と、チップキャリア部 5 0 のはんだボール 6 1 の反対側面とを向かい合わせる。そして、配線層部 4 0 のバンプ 4 7 と、チップキャリア部 5 0 の配線 5 6 とが接するように張り合わされる。これにより、TEGチップ 1 0 が完成する。

上記本発明の第 2 の実施形態に係る TEGチップのテスト方法について、以下に説明する。

まず、テストサイト部 2 0、配線層部 4 0 及びチップキャリア部 5 0 が個別にそれぞれ形成される。

次に、テストサイト部 2 0 と配線層部 4 0 とが張り合わされ、テスト素子 2 2 の一部とバンプ 4 7 が電氣的に接続される。

次に、テストサイト部 2 0 及び配線層部 4 0 とチップキャリア部 5 0 とが張り合わされ、テスト素子 2 2 の一部とはんだボール 6 1 とがバンプ 4 7 を介して電氣的に接続される。

次に、はんだボール 6 1 を用いて、テスト素子 2 2 の性能が評価される。

このようなテスト方法において、テストサイト部 2 0 には複数のテスト素子 2 2 が形成されているが、評価対象となるテスト素子 2 2 ははんだボール 6 1 に電氣的に接続しているもののみである。つまり、図 6 (b) の場合、はんだボール 6 1 に電氣的に接続しているテスト素子 2 2 a のテスト評価は可能であるが、はんだボール 6 1 に電氣的に接続していないテスト素子 2 2 b のテスト評価は不可能である。

従って、第 2 の実施形態では、第 1 の実施形態と同様、TEGチップ 1 0 に設けられた複数のテスト素子 2 2 のうち、テスト評価を行いたいテスト素子 2 2 の

みを選んでテスト評価することができる。

上記第 2 の実施形態によれば、テストサイト部 2 0 と配線層部 4 0 とチップキャリア部 5 0 とを別々に作成して張り合わせている。このため、配線（パッド）4 9 の占有面積に関係なく、シリコン基板 2 1 上にテスト素子 2 2 を形成することができる。従って、配線 4 9 の面積によるテスト素子 2 2 の領域の制限を排除することができる。

また、第 1 の実施形態と同様に、テスト素子 2 2 を種類毎に分けて同種類のテスト素子 2 2 を一列に配置し、テストサイト部 2 0 と配線層部 4 0 との張り合わせ箇所を調整することで、複数のテスト素子 2 2 のうち評価したい素子を選択することが可能である。

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。

例えば、熱耐性等の評価を行う場合には、T E G チップ 1 0 をパッケージに入れてもよい。

また、テスト素子とパッドのレイアウトは上述したレイアウトに限定されず、次のようなレイアウトであってもよい。例えば、図 1 1 に示すように、テスト素子 2 2 がパッド 3 7 に囲まれる構造であってもよい。例えば、図 1 2 に示すように、テスト素子 2 2 がパッド 3 7 にコの字型に囲まれていてもよい。

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【発明の効果】

以上説明したように本発明によれば、テスト素子を配置する領域の制限を抑制する半導体装置、半導体装置の製造方法及び半導体装置のテスト方法を提供できる。

【図面の簡単な説明】

【図 1】 図 1 (a) は本発明の第 1 の実施形態に係わる T E G チップを示す平面図、図 1 (b) は図 1 (a) の I B - I B 線に沿った T E G チップの断面図。

【図 2】 図 2 (a) は本発明の第 1 の実施形態に係わるテストサイト部を示す平面図、図 2 (b) は図 2 (a) の I I B - I I B 線に沿ったテストサイト部の断面図。

【図 3】 図 3 (a) は本発明の第 1 の実施形態に係わるプローブパッド部を示す平面図、図 3 (b) は図 3 (a) の I I I B - I I I B 線に沿ったプローブパッド部の断面図。

【図 4】 本発明の第 1 の実施形態に係わる T E G チップを示す平面図。

【図 5】 図 5 (a) は従来技術による T E G チップを示す平面図、図 5 (b) は本発明の第 1 の実施形態に係わる T E G チップを示す平面図。

【図 6】 図 6 (a) は本発明の第 2 の実施形態に係わる T E G チップを示す平面図、図 6 (b) は図 6 (a) の V I B - V I B 線に沿った T E G チップの断面図。

【図 7】 本発明の第 2 の実施形態に係わるテストサイト部を示す断面図。

【図 8】 本発明の第 2 の実施形態に係わる配線層部を示す断面図。

【図 9】 本発明の第 2 の実施形態に係わるチップキャリア部を示す断面図。

【図 1 0】 図 1 0 (a) は本発明の第 2 の実施形態に係わるテストサイト部と配線層部を張り合わせた状態を示す断面図、図 1 0 (b) は本発明の第 2 の実施形態に係わるテストサイト部と配線層部とチップキャリア部とを張り合わせた状態を示す断面図。

【図 1 1】 本発明の第 1 及び第 2 の実施形態に係わる他の T E G チップを示す平面図。

【図 1 2】 本発明第 1 及び第 2 の実施形態に係わる他の T E G チップを示す平面図。

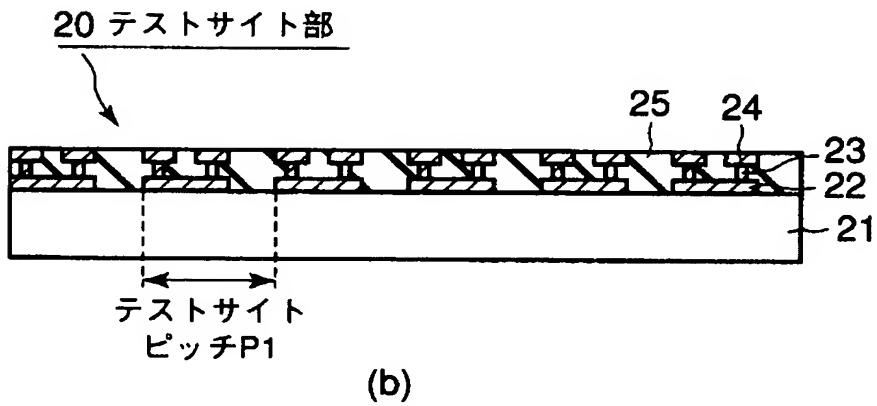
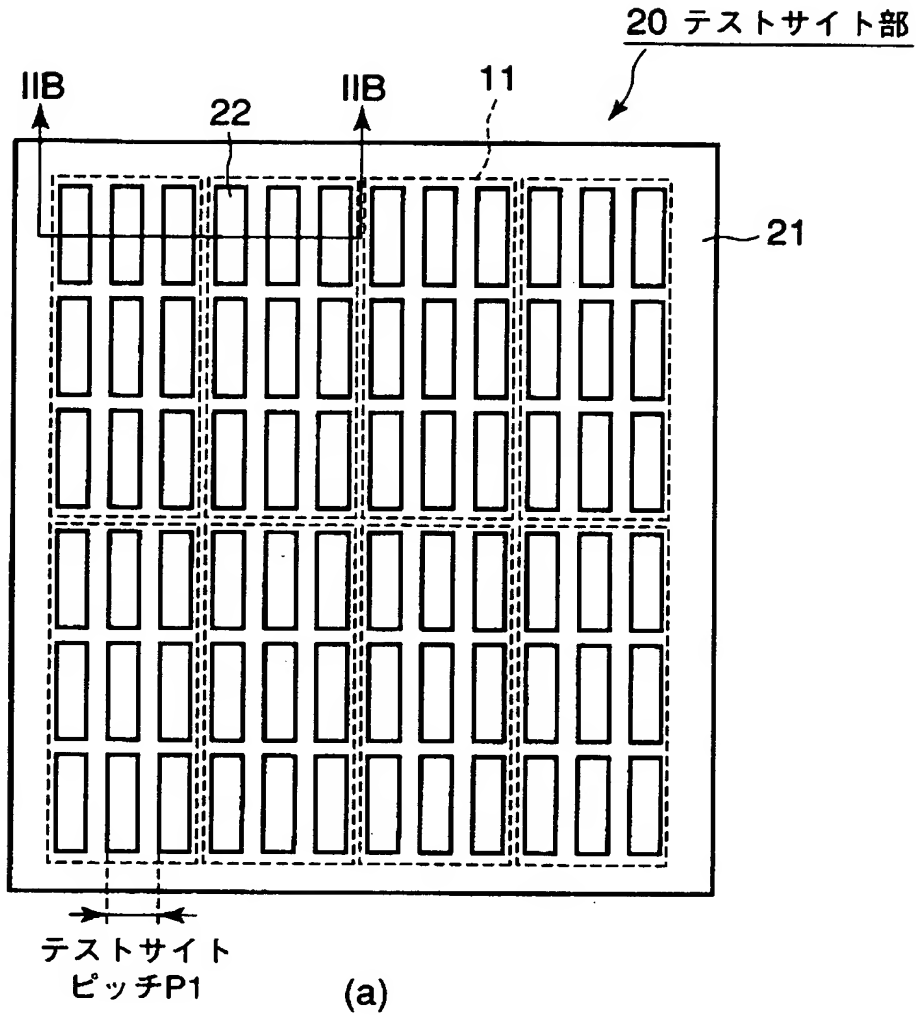
【図 1 3】 従来技術による T E G チップを示す平面図。

【図 1 4】 図 1 3 の X I V - X I V 線に沿った T E G チップの断面図。

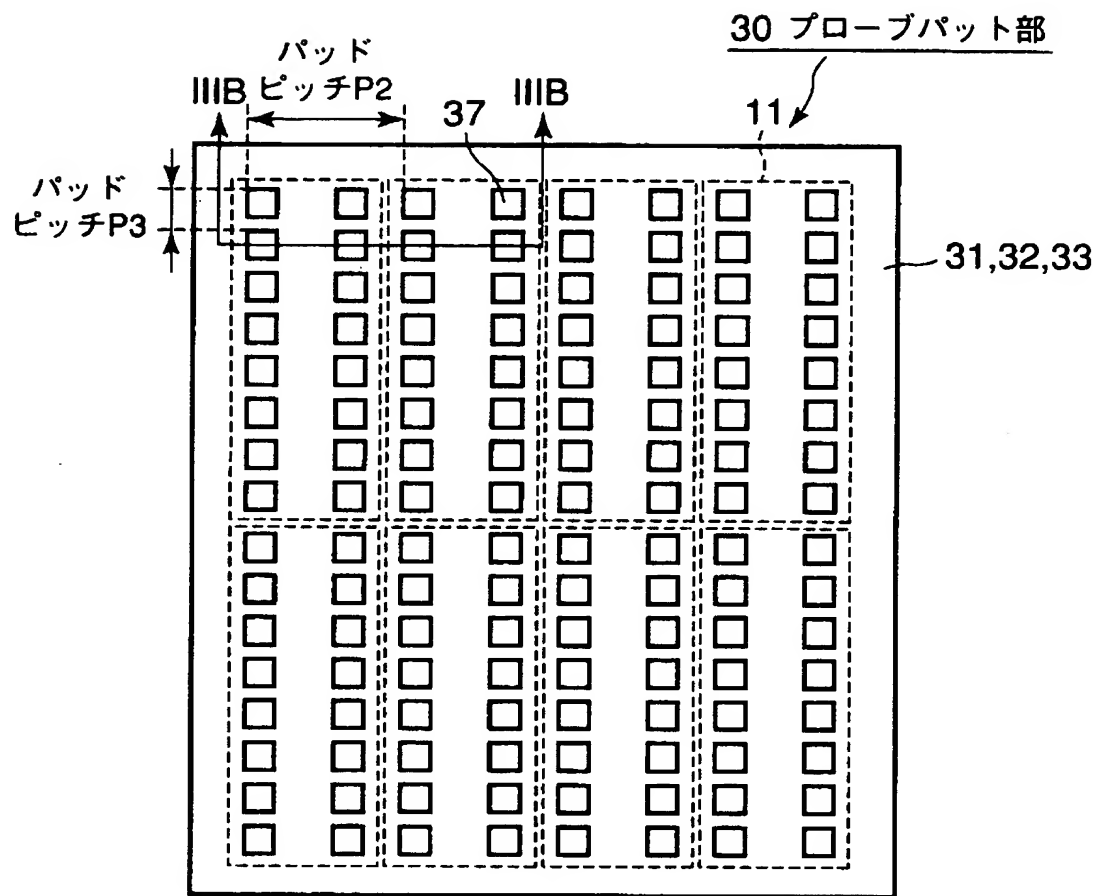
【符号の説明】

1 0 … T E G (Test Element Group) チップ、1 1 … T E G、1 2 a, 1 2 b, 1 2 c, 1 2 d … 第 1 のグループ、1 3 a, 1 3 b, 1 3 c, 1 3 d … 第 2 のグループ、1 4 a, 1 4 b, 1 4 c, 1 4 d … 第 3 のグループ、2 0 … テストサイト部、2 1 … シリコン基板、2 2, 2 2 a, 2 2 b … テスト素子、2 3, 3 4, 3 6, 4 4, 4 6, 5 7, 5 9 … コンタクト、2 4, 4 9 … パッド、2 5, 3 1, 3 2, 3 3, 4 1, 4 2, 4 3, 5 1, 5 2, 5 3, 5 4, 5 5 … 絶縁膜、3 0 … プローブパッド部、3 5, 5 6, 5 8, 6 0 … 配線、3 7 … プローブパッド、3 8, 4 8 … 開口部、4 0 … 配線層部、5 0 … チップキャリア部、6 1 … はんだボール。

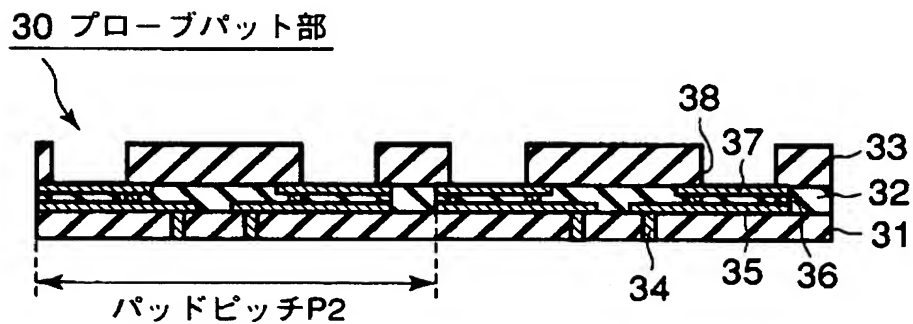
【図 2】



【図 3】

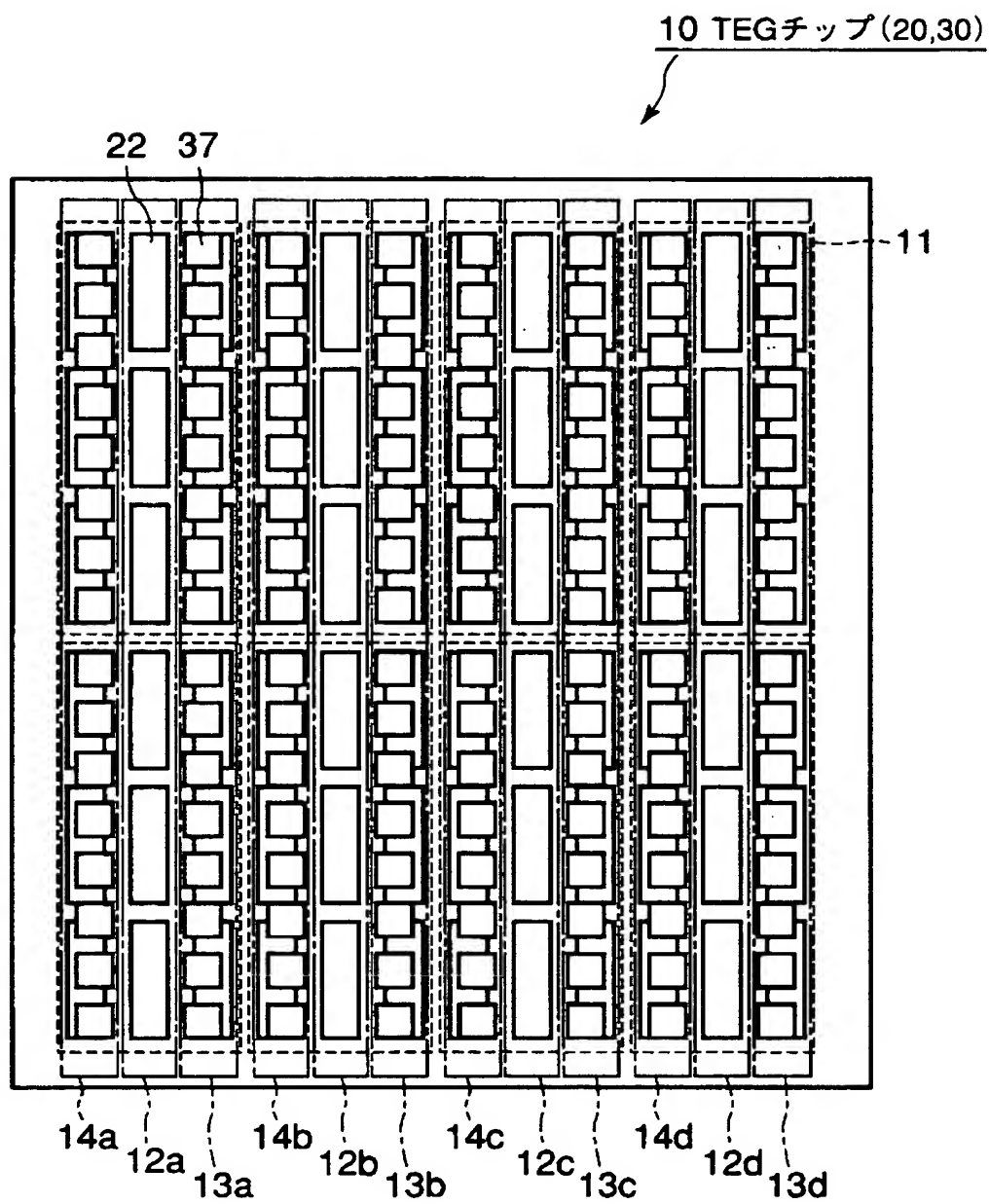


(a)

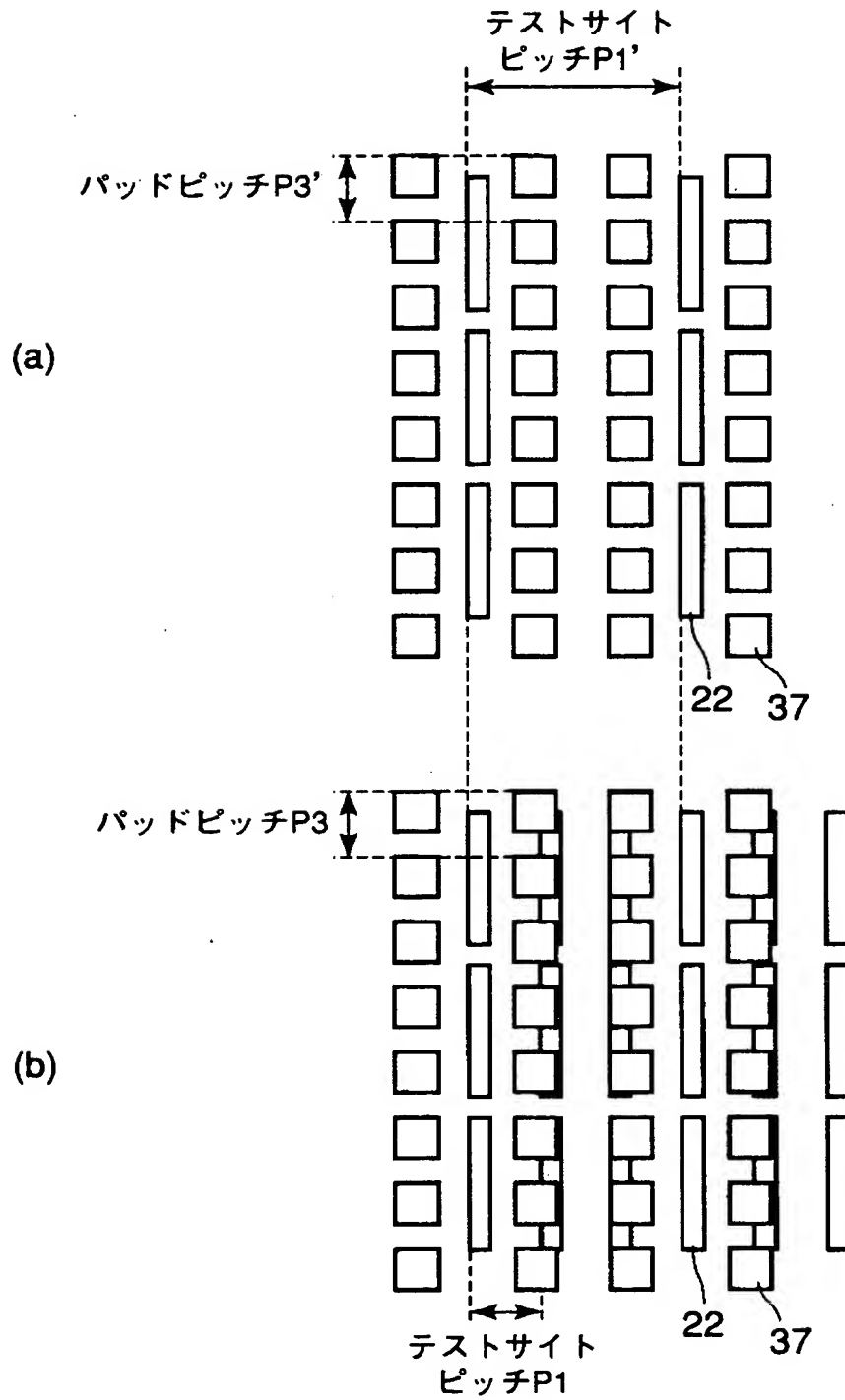


(b)

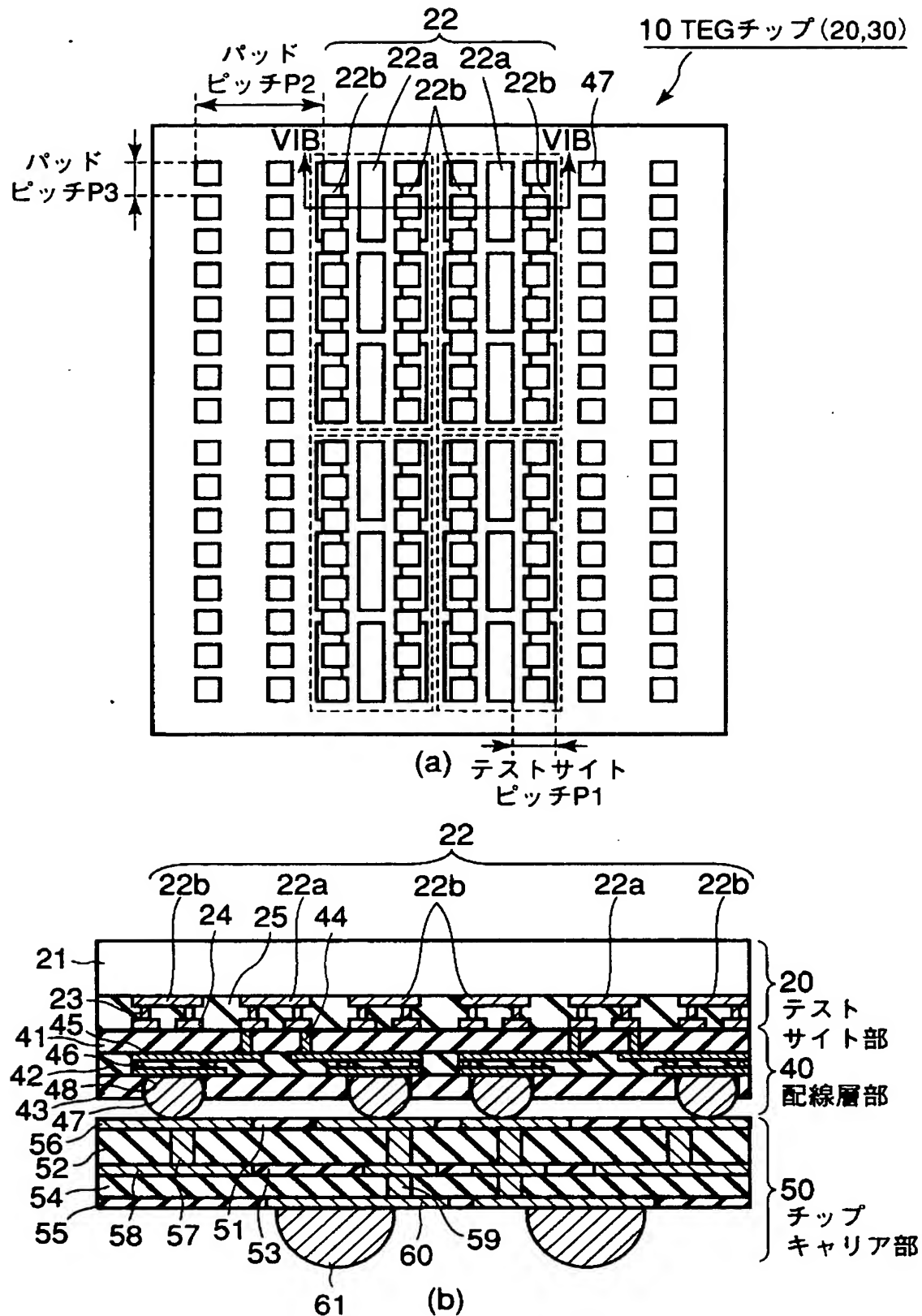
【図 4】



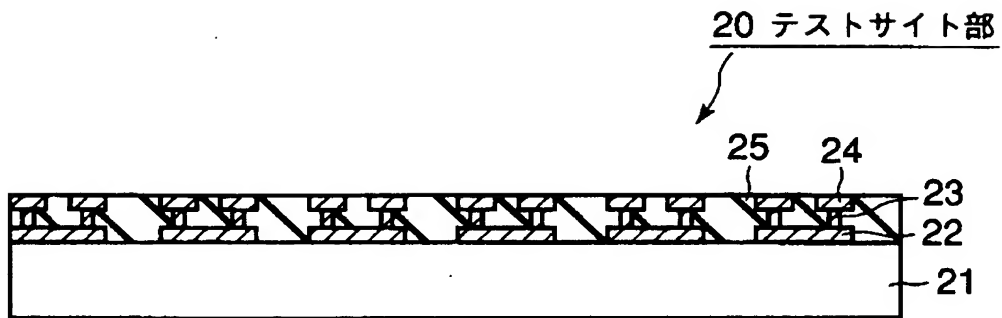
【図 5】



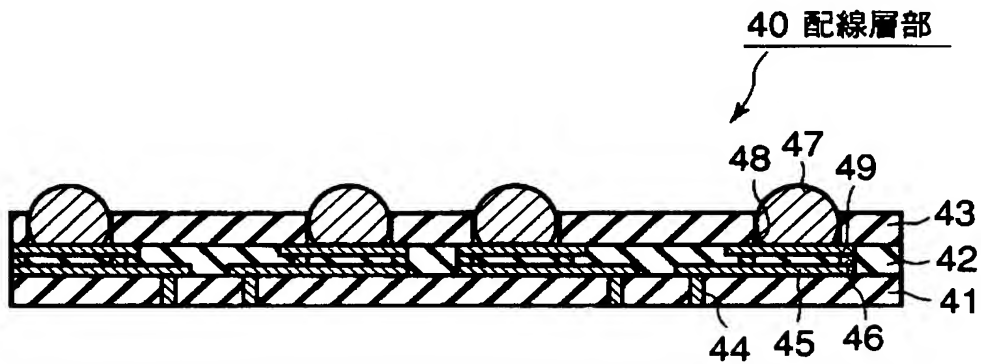
【図6】



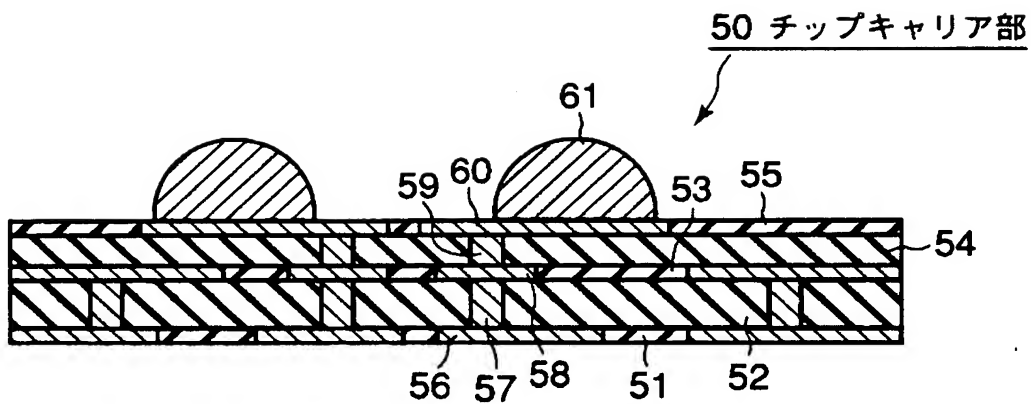
【図 7】



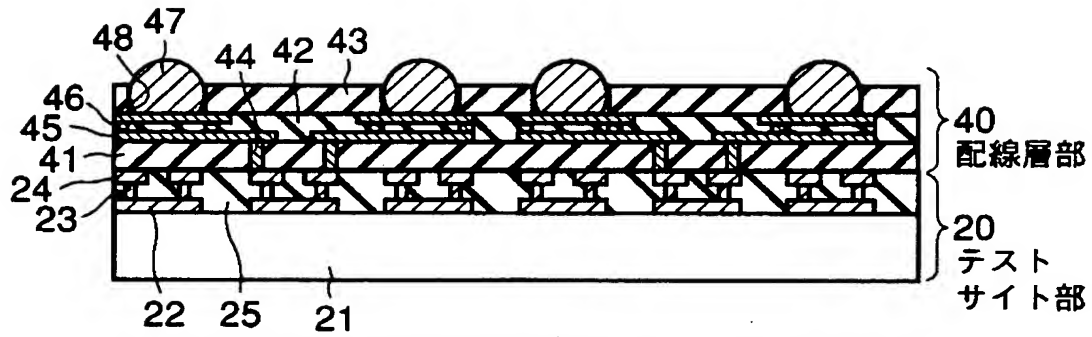
【図 8】



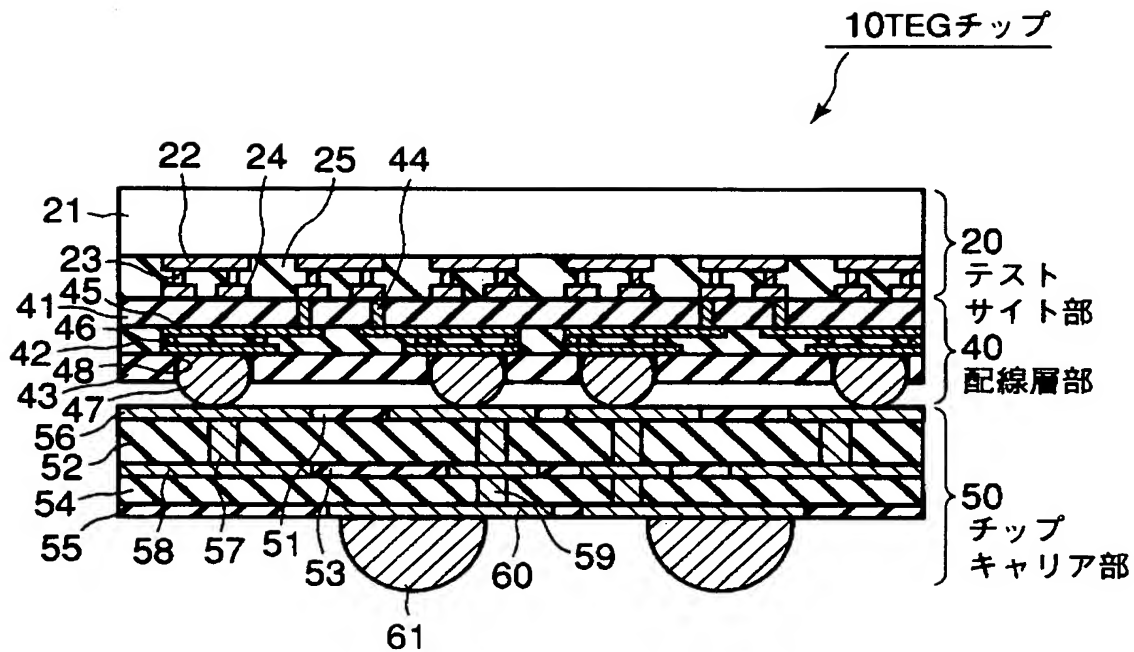
【図 9】



【図 10】

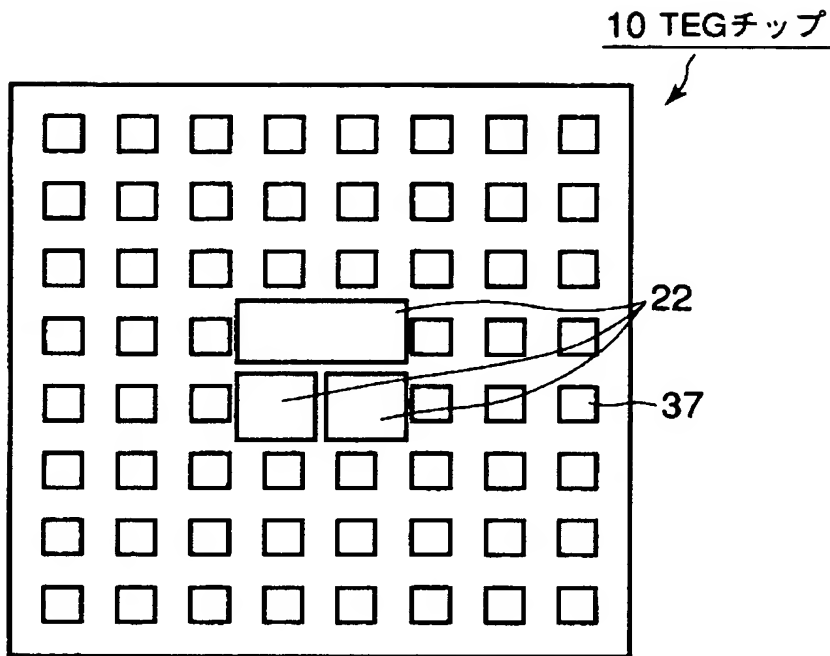


(a)

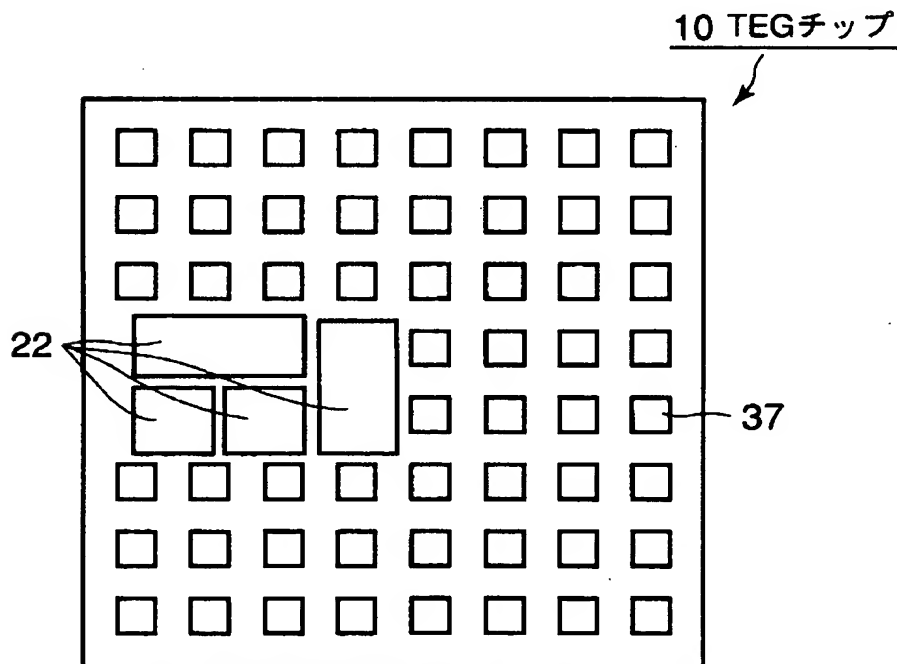


(b)

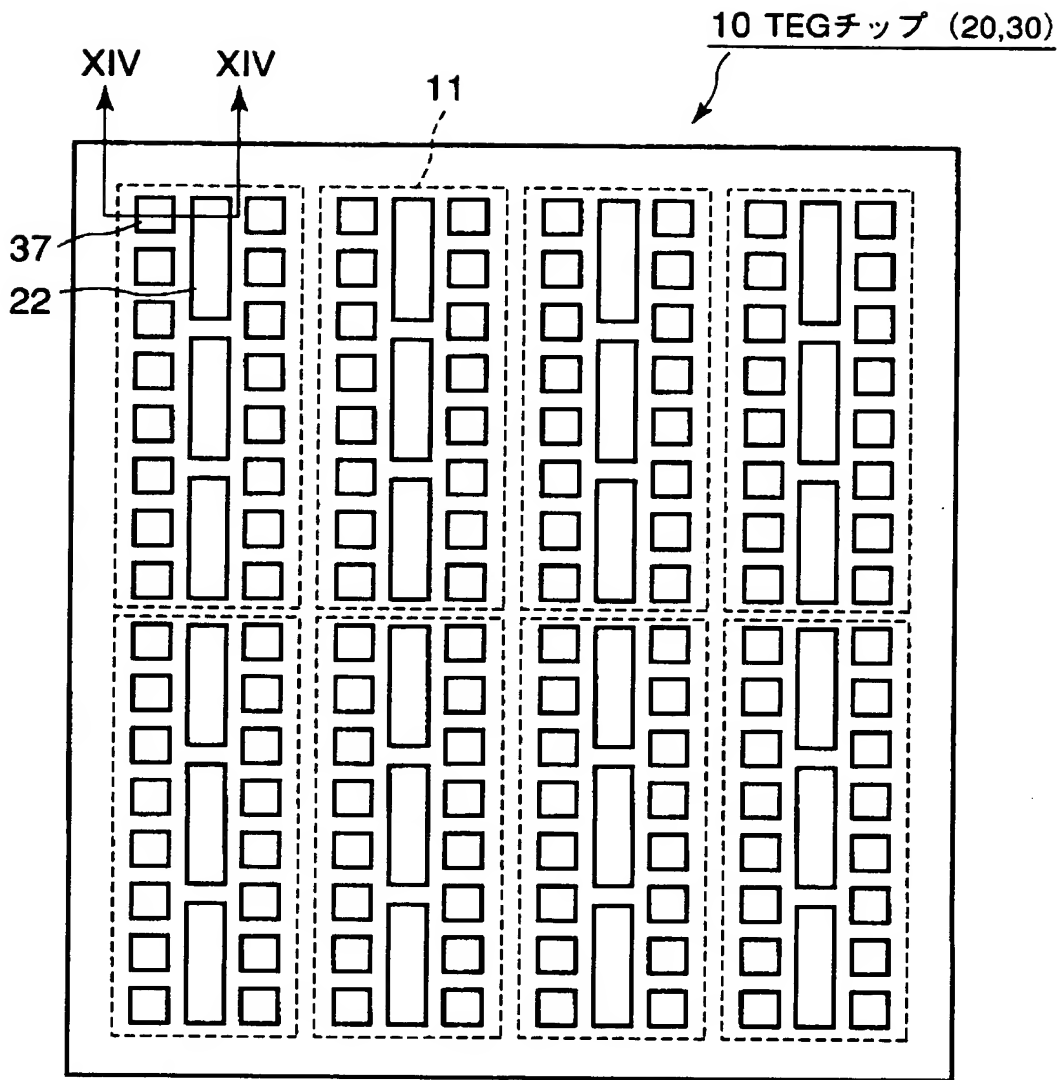
【図 1 1】



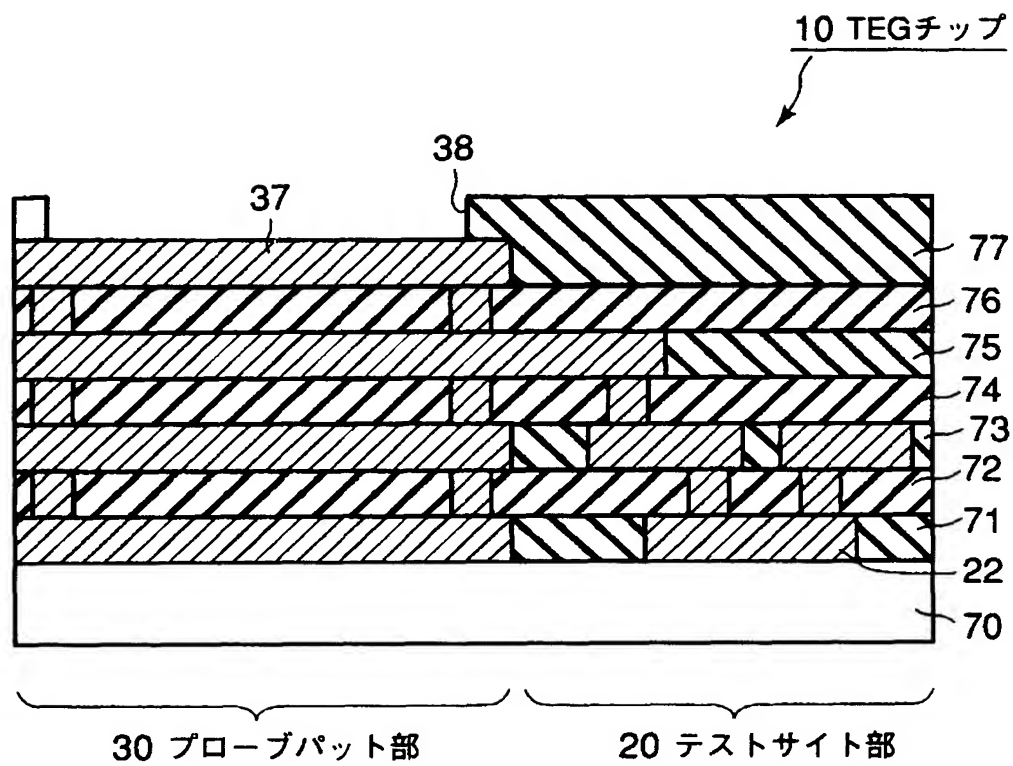
【図 1 2】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 テスト素子を配置する領域の制限を抑制する。

【解決手段】 半導体装置のテスト方法は、複数のテスト素子 2 2 を備えた第 1 の層 2 0 と、複数のパッド 3 7 を備えた第 1 の層 2 0 と異なる第 2 の層 3 0 とをそれぞれ形成する工程と、第 1 及び第 2 の層 2 0 , 3 0 を張り合わせ、テスト素子 2 0 の少なくとも一部の素子をパッド 3 7 と電氣的に接続する工程と、テスト素子 2 2 の少なくとも一部の素子の性能を評価する工程とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝